

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平8-17238

(24) (44) 公告日 平成8年(1996)2月:日

(51) Int. Cl. °

H01L 29/786

21/336

21/8238

願別記号

庁内整理番号

P I

9058-4M

H01L 29/78

27/08

617

321

N

2

請求項の数 3 (全 8 頁) 最終頁に附:

(21) 出願番号 特願平3-198943
 (22) 出願日 平成3年(1991)7月12日
 (85) 公開番号 特開平6-97443
 (43) 公開日 平成6年(1994)4月8日

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 隆平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 岡田 晃
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 廣木 正明
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

審査官 岡本 充雄

最終頁に附:

(54) 【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項1】 第一のゲート電極をアルミニウムで形成した後、

前記第一のゲート電極の表面に陽極酸化を施すことで前記第一のゲート電極表面を絶縁化し、

その後第二のゲート電極を前記第一のゲート電極に隣接して形成することを特徴とする半導体装置の作製方法。

【請求項2】 ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第一のゲート電極をアルミニウムで形成した後、

前記第一のゲート電極の表面に陽極酸化を施すことで前記第一のゲート電極表面を絶縁化し、

その後第二のゲート電極を前記第一のゲート電極に隣接して形成することを特徴とする半導体装置の作製方法。

【請求項3】 透光性基板上にパターンニングされたp型半

導体層を形成した後に真性半導体層を形成し、ネガ型レジストを塗布後、基板裏面より紫外光をあて、p型半導体層を下地に有しない部分のレジストを露光および現像させる工程と、

前記レジストをマスクとした前記真性半導体層のn型半導体化のためのイオンを打ち込む工程と、

前記p型半導体層と前記真性半導体層と前記真性半導体層のうちのn型化された部分の全面を覆うように絶縁膜を被覆後に、n型半導体層の活性化と真性半導体層の固相成長を行うための熱処理を行う工程と、

第一のゲート電極をアルミニウムにて形成後その表面に陽極酸化する工程と、

第二のゲート電極をアルミニウムにて形成する工程とを少なくとも有することを特徴とする半導体装置の作製方法。

(2)

特公平8-17238

3

【発明の詳細な説明】

【0001】

【産業上の利用分野】 相補型電界効果型トランジスタと同様の動作を一つの素子で行える様な電気特性を持つ、通称「変形スタックドゲート型半導体装置」と呼ばれている半導体装置がある。この半導体装置は、液晶表示装置等に用いた場合、明快な階調表示を得ることが出来、自然画像に近い表示を得ることが出来る。本発明は、その半導体装置の性能を向上させるための新しい作成方法を提示するものである。

【0002】

【従来の技術】 「変形スタックドゲート型半導体装置」は、「SID 91」で公知になったように、その特性は2つのゲート電極にかける信号の電位を変化させることによって、ソース・ドレイン間に双方向の電流電圧特性を持たせることができる装置である。図2にその電流電圧特性を示す。

【0003】 この様な特性を有する装置は多種多様な使用用途が考えられるが、特に液晶電気光学装置への応用が有効と考えられる。従来液晶電気光学装置に用いられている半導体装置は、図3の回路構成に示すようなnチャネル型薄膜トランジスタが主であった。ここにnチャネル型薄膜トランジスタまたはpチャネル型薄膜トランジスタを用いた場合、OFF状態からON状態に移行（図素電極にため込む電荷が増加する方向）する際にはnチャネル型薄膜トランジスタの順特性を利用できるために、高速の動作が可能となっている。しかしながら、ON状態からOFF状態へ移行（図素電極にため込む電荷が減少する方向）する際には、nチャネル型薄膜トランジスタの逆特性となるために、動作の遅延が起きていた。

【0004】 そこで、図4に示す「トランスファergeート型C/MOS薄膜トランジスタ」のように、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタを相補型に組み合わせて使用することで、ONからOFF、OFFからONの同動作に対しても、電荷の移動が早いために高速の動作を行うことが出来ることが公知となっており、液晶電気光学装置への応用に期待が寄せられている。

【0005】 このように、C/MOS装置を液晶電気光学装置に用いた場合のメリットが多く言われているが、実際のデバイスを考慮した場合、素子としてnチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタの両方を各画素に設置することは、従来のnチャネル型薄膜トランジスタのみの場合と比較して、倍の素子を設けることから歩留りの向上を考えた場合、画質の向上は望めるものの製品化には逆行する考え方であった。具体的に考えると640×400ドットの画素を有する液晶電気光学装置を考えた場合、現在パネル単位で50%程度ある歩留りが、素子を2倍にすることで、単純に計算し

4

ても25%以下になることは必至である。マスク数が増加することで、さらに歩留りの低下となる要因が積算されることは言うまでもない。

【0006】 また、単に歩留りだけの問題ではなく、液晶電気光学装置で重要なファクターである開口率の問題がある。素子を1つ設けることで減少する開口率は約1%程度と一般にいわれているが、C/MOSのように2つの素子を作成した場合、それだけで10%以上の減少になることは言うまでもない。そこで、素子数を減らし

ても同一の動作が出来るような素子が望まれていた。【0007】 そこで、前記の「変形スタックドゲート型半導体装置」がこれらの欠点を補い得る素子として提

されるに至っている。【0008】 公知例に見る本素子の製造方法は、図5にあるような工程を踏んでいる。

【0009】 まずガラス等の透光性基板1上にプラズマCVDもしくは減圧CVD法を用いて、p型半導体膜2、n型半導体膜を積層させ、図5(A)に示すようにマスクにて島状にパターニングし、p型半導体膜2とn型半導体膜3を得る。その後、真性半導体膜を堆積させ、これを次のマスクを用いてパターニング後、600℃の雰囲気中で固相成長をさせ、アモルファス相から非晶化をさせてチャネル領域となる多結晶真性半導体膜4とし、図5(B)を得る。その後減圧CVDまたはスパッタ法を用いてゲート絶縁膜となるSiO₂膜を1000Å、減圧CVD法等でメインゲート電極となるリンドープのSi膜を2000Å堆積させ、次のマスクを用いてパターニングし、ゲート絶縁膜5およびメインゲート電極6を形成し図5(C)を得る。その後、減圧CVDまたはプラズマCVD法等を用いて層間絶縁膜7であるSiO₂膜を5000Å堆積後、A1を3000Å堆積させ、次のマスクを用いてパターニングし図5(E)に示すようにサブゲート電極8を得る、という方法である。

【0010】 上記の様なプロセスを用いた場合、図5(B)のようにパターニング後固相成長をさせると、n型半導体膜中にp型半導体膜またはn型半導体膜の不純物であるリンまたはボロンが拡散し、それらがチャネル領域となる真性半導体膜4に侵入、拡散する危険がある。そうした場合、高性能なチャネルを形成することができず、液晶電気光学装置用の駆動素子に必要なOFF抵抗を十分に上げることが出来ないばかりか、電界効果移動度を極端に落とす結果となる。また、図5(D)にある層間絶縁膜7は立体交差配線のショートを防ぐ為にあるため、サブゲートに加える電圧を大きくしないと、チャネルに十分に電界がかけられない結果となっている。したがって、複数のゲート電極によりチャネルに電圧を印加するに際し、一方のゲート電極に加える電圧を大きくすることを防ぐことが課題となる。

【0011】

(8)

特公平8-17238

5

【問題を解決するための手段】そこで本発明者らは次の様な工程を講ずることにより上記の問題の解決を図った。すなわち、透光性基板上にp型半導体層とn型半導体層を積層した2つの積層部と、前記2つの積層部に接して設けられた真性半導体層を形成した後、ゲート絶縁膜となる層、たとえば酸化珪素膜を前記透光性基板上の半導体層の表面を全て覆うように形成して、その後熱アニールを行って真性半導体層を固相成長させて多結晶化をおこなう。このようにすることで、熱処理中にn型半導体層またはp型半導体層の不純物であるリンまたはボロンが高温雰囲気中に拡散せず、そのような不純物がチャネル領域に侵入、拡散する危険を防ぐことが出来、閾値のシフトと移動度の低下を防止できる。

【0012】その後ゲート絶縁膜を成膜、パターニングし、ゲート絶縁膜上に第一のゲート電極をアルミニウムで形成し、腐蝕化を行うことで第一のゲート電極表面を絶縁化し、その後第二のゲート電極を第一のゲート電極に隣接してゲート絶縁膜上に形成する。

【0013】以上の様な工程を経ることで真性半導体層の固相成長時の不純物の侵入を防ぐことができ、また2つのゲート電極が同一ゲート絶縁膜上に形成されることで、第2のゲート電極に加える電圧を小さくできた。

【0014】以上の工程の一応用例として以下の様な作製方法を考案した。

【0015】まず図1(A)に示すように透光性基板10上にマスクを用いてパターニングされたp型半導体層11を形成する。その後、真性半導体層12を形成し、その上にネガ型レジストを塗布し、基板表面より紫外光をあて、図1(B)に示すようにp型半導体層11を下部に有しない部分のレジスト13を感光および現像させる。

【0016】次に図1(C)に示すように、前記レジスト13をマスクとして前記真性半導体層12のうちのp型半導体層11上の部分のn型半導体化のためにリン等の5族元素のイオンを打ち込み、n型半導体層14を形成する。

【0017】次にレジスト13を除去し、ゲート絶縁膜15となる酸化膜を、基板上に形成したp型半導体層11とn型半導体層14を含めた前記真性半導体層12の全表面のを覆うように形成し、次にn型半導体層14の活性化と真性半導体層12の残りの部分の固相成長を行うための熱処理を行い、その後パターニングすることで図1(D)に示すように真性半導体層12の残りの部分はチャネル領域である多結晶半導体層16となる。このようにすることで、熱処理中にn型半導体層またはp型半導体層の不純物であるリンまたはボロンが高温雰囲気中に拡散せず、そのような不純物がチャネル領域に侵入、拡散する危険を防ぐことが出来、閾値のシフトと移動度の低下を防止できる。

【0018】図1(E)において、第一のゲート電極す

6

なわちメインゲート電極17をアルミニウムにて形成し、その表面を腐蝕化し、酸化層18を形成することで両極表面を絶縁化する。無孔質の酸化アルミ膜を得るために、発明者らはエチレンジグリコールまたはプロピレングリコール中で酒石酸を希釈してpH7.0±0.5の溶液を用いた。その後ソース電極19、ドレイン電極20を形成する。また電極材料により可能であればメインゲート電極17と同時にソース電極19、ドレイン電極20を形成し、メインゲート電極と同様にその表面に腐蝕化を施すことは有効である。

【0019】その後、図1(F)に示すように第二のゲート電極すなわちサブゲート電極21をアルミニウムにて形成する。この後、層間絶縁膜22を形成する。

【0020】メインゲート電極17表面に腐蝕化処理法によって酸化膜18を設けたことで、メインゲート電極17とサブゲート電極21を同一ゲート絶縁膜15に形成することができた。従って閾値を小さく出来ただけでなく、界面単位密度の低減も可能になった。

【0021】以下に実施例によって更に詳細な説明をな

【0022】

【実施例】本実施例では、対角1インチを有する液晶ディスプレイ装置を用いた、ビデオカメラ用ビューファインダーを作製し、本発明を実施したので説明を加える。

【0023】本実施例では、面積が887×1280mm²に於いて、低圧プロセスによる高移動度変形スタックドゲート素子を用いた素子を作成し、ビューファインダーを構成した。本実施例で使用する液晶表示装置の基板上のアクティブ素子の配置の様子を図6に示し図6のA-A'断面を示す作製プロセスを図7に描く。

【0024】図7(A)において、安価な、700℃以下、例えば約600℃の熱処理に耐え得るガラス基板10上にマグネトロンRF(高周波)スパッタ法を用いてブロッキング層31としてのアモルファス酸化珪素膜1000~3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

【0025】この上にp型Si(シリコン)膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により1000~3000Å、ここでは2000Åの厚さに形成した。減圧気相法で形成する場合、結晶化温度よりも100~200℃低い450~650℃、例えば530℃でジシラン(Si₂H₆)またはトリシラン(SiH₄)をCVD装置に供給して成膜した。不純物源ガスとしてジボラン(B₂H₆)をホストガスに対して0.3~3%混合した。反応炉内圧力は30~300Paとした。成膜速度は50~250Å/分であった。

【0026】スパッタ法で行う場合、スパッタ前の解

(4)

特公平8-17238

7

を 1×10^{-4} Pa以下とし、p型単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした、成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0027】プラズマCVD法により窒素膜を形成する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。不純物気体としてジボタン(B_2H_6)をホストガスに対して0.5～3%混合した。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0028】前記p型Si膜を島状にパターンニングして、p型半導体層であるp' Si層32を形成した後、この上に図7(B)に示すように真性Si膜33をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により1000～3000Å、ここでは2000Åの厚さに形成した。減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si_2H_6)またはトリシラン(SiH_3)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250Å/分であった。スレッショールド電圧(V_{th})を任意に制御するため、水素をジボタンを用いて $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0029】スパッタ法で行う場合、スパッタ前の背圧を 1×10^{-4} Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0030】プラズマCVD法により窒素膜を形成する場合、温度は例えば300℃とし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0031】これらの方法によって形成された膜は、膜厚が $5 \times 10^3 \text{ cm}^{-1}$ 以下であることが好ましい。この膜素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{17} \sim 4 \times 10^{18} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{17} \text{ cm}^{-3}$ であり、窒素 $4 \times 10^{17} \text{ cm}^{-3}$ として比較すると1原子%であった。

【0032】その後、表面にネガ型レジストを塗布し、基板背面より紫外光を照射すると、p型半導体層を有する場所は紫外光を透過しないために、硬化せず現像の段階で取り除かれ、レジスト34が残る。この様にして、次の工程であるイオンうち込みに用いるマスクをセルフ

8

アライン工程で作製することができるのである。

【0033】図7(C)において、p' Si層32上に真性Si膜33に対しリン(P)を $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ のドーザ量でイオン注入法により添加することにより、n' Si層を形成した。

【0034】次にレジスト34を除去し、酸化窒素膜3500～2000Å例えば1000Åの厚さに形成した。これはブロッキング層31としての酸化窒素膜の作製と同一条件とした。この成膜中に希素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0035】酸化窒素膜を成膜した後、450～700℃の温度にて12～70時間非酸化雰囲気にて中温に加熱処理、例えば水素雰囲気下にて500℃の温度で保持した。真性Si膜33の下基板表面にブロッキング層31としてアモルファス構造の酸化窒素膜が形成されているため、この熱処理で特定の膜が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0036】アニールにより、真性Si膜33はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態と比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する界面により互いに結合がなされるため、界面同士は互いにひっぱりあう。レーザラマン分光により測定すると単結晶の窒素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観測される。その見掛け上の粒径は平均値から計算すると、50～500Åとマイクロクリスタルのように見えるが、実際はこの結晶性の高い領域は多数あってクラスター構造を有し、各クラスター間は互いに界面同士で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

【0037】結果として、被膜は実質的にグレインバウンダリ(以下GBという)がないといってもよい状態を呈する。キャリアは各クラスター間をアンカリングされた箇所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶窒素よりも高いキャリア移動度となる。即ちホール移動度(μ_h)= $10 \sim 200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、電子移動度(μ_e)= $15 \sim 300 \text{ cm}^2/\text{V} \cdot \text{sec}$ が得られる。

【0038】他方、上記の如き中温でのアニールではなく、900～1200℃の高温アニールにより被膜を単結晶化してもよい。しかしながらその様にすると、被膜からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作ってしまうのでキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上の移動度がなかなか得られないのが特徴である。

(8)

特公平8-17238

9

【0039】この様に、多結晶性Si層37ができた。この工程はn⁺ Si層35を活性化することも兼ねている。この後前記酸化珪素膜をパターニングしてゲート絶縁膜36とし、図7(D)を得る。

【0040】その後、メインゲート電極38、ソース電極40、ドレイン電極41およびリードとするために、アルミニウムをスパッタ法または蒸着法によって、2 μmの厚みで成膜しパターニングを行なった。

【0041】その後、稀酸をエチレングリコールで希釈してpH5.0±0.5の溶液としその中に基板を浸した。メインゲート電極38、ソース電極40、ドレイン電極41およびそれぞれの電極よりのびるリードに、+25Vの電圧を供給して多孔質の酸化アルミニウムを約1 μm形成した。充分な洗浄の後、図石酸をエチレングリコールで希釈して、pH7.0±0.5の溶液を作り、その溶液中に基板を浸した。メインゲート電極38、ソース電極40、ドレイン電極41およびそれぞれの電極よりのびるリードに、+75Vの電圧を供給した。約30分後に前記多孔質の酸化アルミニウムの表面を酸孔質の酸化アルミニウム膜に変質させることが出来、メインゲート電極38、ソース電極40、ドレイン電極41およびリード上に無孔質で約1 μmの酸化アルミニウム膜39および42が得られ、図7(E)を得た。

【0042】その後サブゲート電極43およびリードとして、アルミニウムをスパッタ法または蒸着法によって、2 μmの厚みで成膜しパターニングもおこなった。

【0043】プラズマCVD法を用いて、この基板の上に層間絶縁膜44であるSiN₂膜を2 μm成膜し、孔明けパターニングの後に、透明導電膜であるITO（インジウム・スズ酸化膜）を3000 Åスパッタ法にて成膜後、パターニングを施して図8電極45を形成し、図7(F)を得た。以上で第一の基板を得た。

【0044】次に第二の基板として、青板ガラス上にスパッタ法を用いて、酸化珪素膜を2000 Å積層した基板の上に、カラーフィルターを形成してその上にスパッタ法によりITOを形成した。このITOは室温〜160℃で成膜し、200〜400℃の酸素または大気中のアニールにより成膜し、第二の基板とした。

【0045】前記第一、第二の基板の上に、オフセット法を用いて、ポリイミド前駆体を印刷し、非酸化性雰囲気たとえば窒素中にて350℃1時間焼成を行った。その後、公知のラビング法を用いて、ポリイミド表面を改質し、少なくとも初期において、液晶分子を一定方向に配向させる手段を設けて第一および第二の基板とした。

【0046】その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードはそのピッチが46 μmと数値なため、COG法を用いて接続をおこなった。本実施例ではICチップ上に渡した金バンプをエ

10

ボキシ系の銀パラジウム樹脂で接続し、ICチップと基板間を固着と封止を目的としたエボキシ系硬化アクリル樹脂にて埋めて固定する方法を用いた。その後、外側に透光板を貼り、透過型の液晶表示装置を得た。

【0047】

【発明の効果】透光性基板上にp型半導体層とn型半導体層を積層した2つの積層部と、前記2つの積層部に形成して設けられた真性半導体層を形成した後、前記透光性基板上に形成した半導体層の表面を全て覆うように絶縁膜を形成し、熱アニールを行って真性半導体層を固相成長させて多結晶化をおこなうことで、熱処理中にn型半導体層またはp型半導体層の不純物であるリンまたは硼が高温雰囲気中に拡散せず、そのような不純物がチャネル領域に侵入、拡散する危険を防ぐことが出来、閾値のシフトと移動度の低下を防止できた。

【0048】また前記絶縁膜上に第一のゲート電極をアルミニウムで形成し、陽極酸化を行うことで前記電極表面を絶縁化し、その後第二のゲート電極を前記第一のゲート電極に隣接して前記ゲート絶縁膜上に形成することで、2つのゲート電極が同一ゲート絶縁膜上に形成されることで、第二のゲート電極に加える電圧を小さくできた。それによって界面状態密度の低減も可能になった。

【0049】以上の如く、本発明は工業上の発展に大いに寄与するものと考えらる。

【図面の簡単な説明】

【図1】 本発明における変形スタックドゲート型半導体装置の構造とその作製工程

【図2】 変形スタックドゲート型半導体装置の電極10の圧特性

【図3】 nチャネル型薄膜トランジスタを用いた液晶電気光学装置における回路構成

【図4】 トランスファージゲート型C/MOS薄膜トランジスタを用いた液晶電気光学装置における回路構成。

【図5】 公知例における変形スタックドゲート型半導体装置の構造とその作製工程

【図6】 実施例における基板上的アクティブ素子の構造

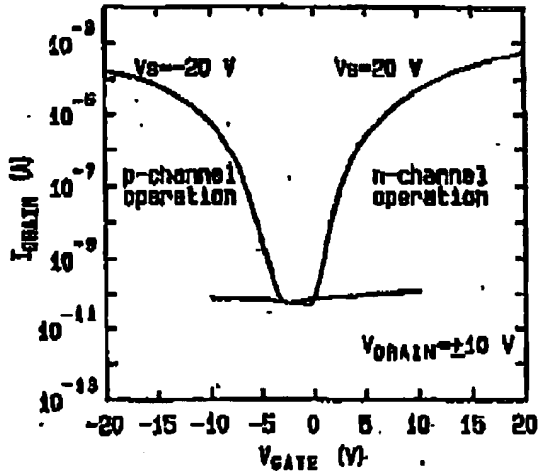
【図7】 実施例における変形スタックドゲート型半導体装置の構造とその作製工程

【符号の説明】

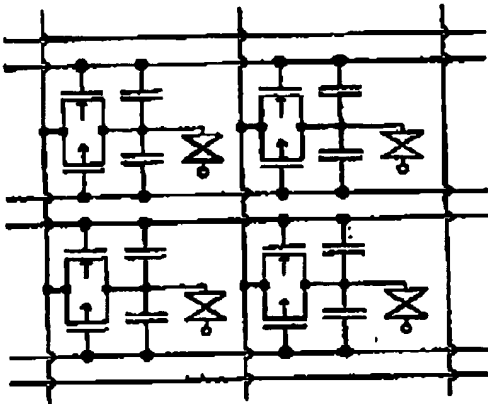
- | | |
|-----------|-----------|
| 1. 10 | 透光性基板 |
| 2. 11 | p型半導体層 |
| 3. 14 | n型半導体層 |
| 4. 16 | 多結晶真性半導体層 |
| 5. 15, 36 | ゲート絶縁膜 |
| 6. 17, 38 | メインゲート電極 |
| 7. 22, 44 | 層間絶縁膜 |
| 8. 21, 48 | サブゲート電極 |
| 50 12 | 真性半導体膜 |

11
 19.84 レジスト
 18 酸化層
 19.40 ソース電極
 20.41 ドレイン電極
 30 ガラス基板
 31 ブロッキング層

【図2】



【図4】

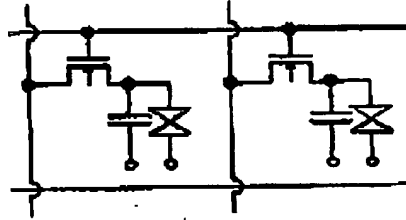


(6)

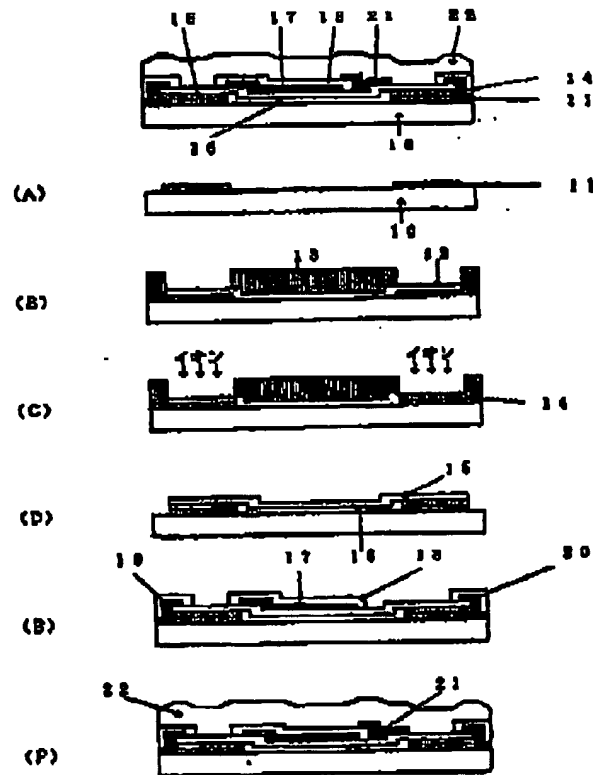
特公平8-17238

12
 32 p⁺ Si 層
 33 高性 Si 層
 35 n⁺ Si 層
 37 多結晶高性 Si 層
 38, 42 酸化アルミニウム層
 46 金属電極

【図3】



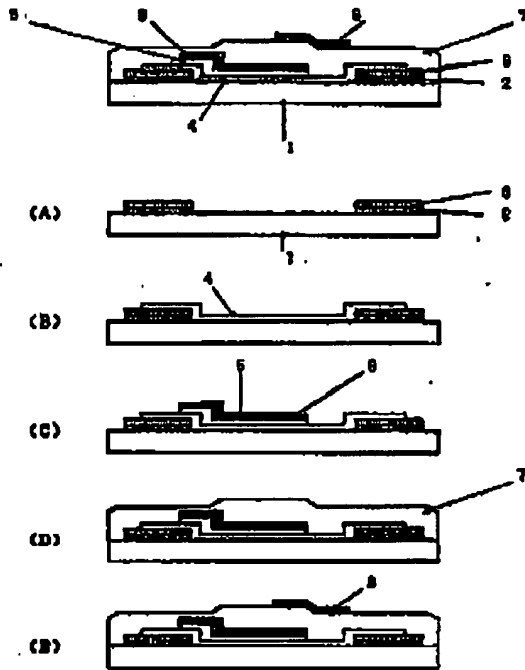
【図1】



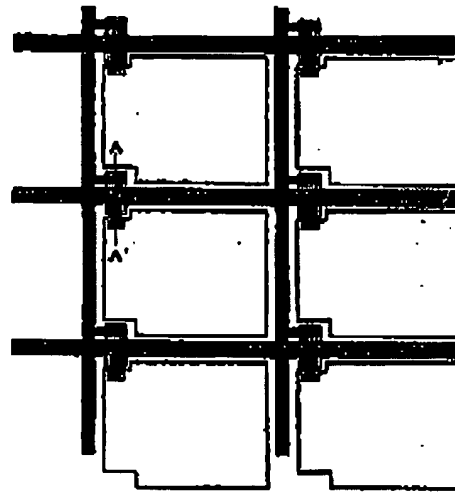
(7)

特公平8-17238

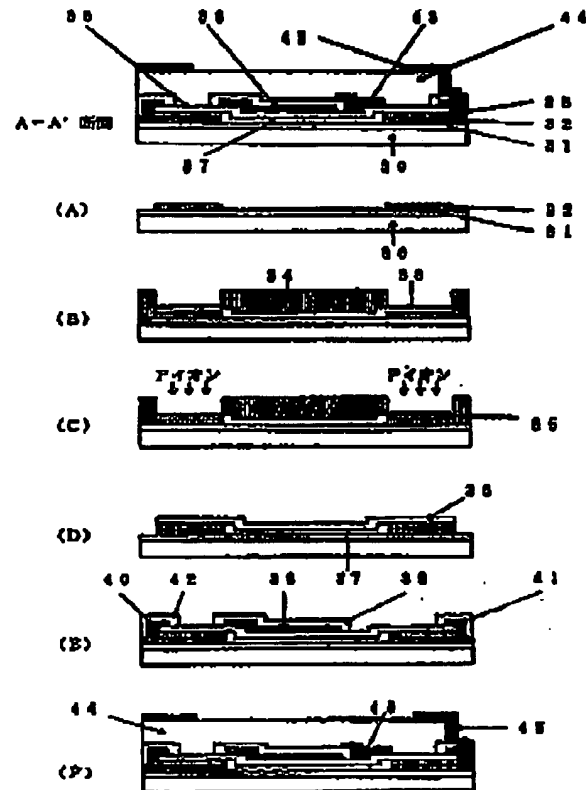
【図5】



【図6】



【図7】



(8)

特公平 8-17238

フロントページの続き

(5) Int. Cl.

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示部

9056-4M

H 0 1 L 29/78

6 1 3 A

9056-4M

6 2 7 G

(56) 参考文献 特開 昭59-208121 (J P, A)

NTT R&D VOL. 40, NO. 5

(平3-5-10) P. 661-666

AUG. 17. 2006 5:50PM

866 741 0075

NO. 8064 P. 61/65

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.